

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-209972

(43)Date of publication of application : 25.07.2003

(51)Int.Cl.

H02M 3/28
G03G 15/02
G03G 15/16
G03G 21/00

(21)Application number : 2002-006322

(71)Applicant : CANON INC

(22)Date of filing : 15.01.2002

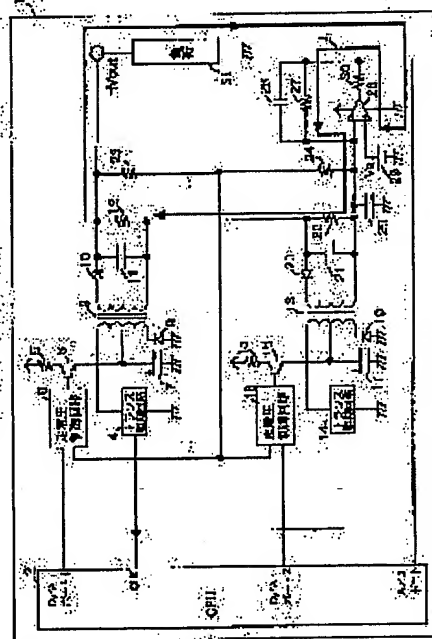
(72)Inventor : NAMIKI TERUHIKO

(54) HIGH VOLTAGE POWER SUPPLY AND IMAGE FORMING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high voltage power supply which can output a positive output (a plus bias) voltage and a negative output (a minus bias) voltage with good accuracy without high costs, and to provide an image forming device using the same.

SOLUTION: In the high voltage power supply, positive high DC voltage power supply units 3, 8, 10 and 11 for the feedback control of a changeable output voltage are connected serially and reversely in their polarities to negative high DC voltage power supply units 13, 18, 20 and 21 for the feedback control of the changeable output voltage, output voltage detection means 23, 24 common to the positive high DC voltage power supply units and the negative high DC voltage power supply units are inserted to output ends of the respective units, and the feedback control is applied to each positive and negative high voltage power supply unit by detection signals of the output voltage detection means.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-209972
(P2003-209972A)

(43) 公開日 平成15年7月25日 (2003.7.25)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 2 M 3/28		H 0 2 M 3/28	W 2 H 0 2 7
			H 2 H 2 0 0
G 0 3 G 15/02		G 0 3 G 15/02	5 H 7 3 0
15/16		15/16	
21/00	3 9 8	21/00	3 9 8
審査請求 未請求 請求項の数17 O L (全 10 頁)			

(21) 出願番号 特願2002-6322(P2002-6322)

(22) 出願日 平成14年1月15日 (2002.1.15)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 並木 輝彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100066061

弁理士 丹羽 宏之 (外1名)

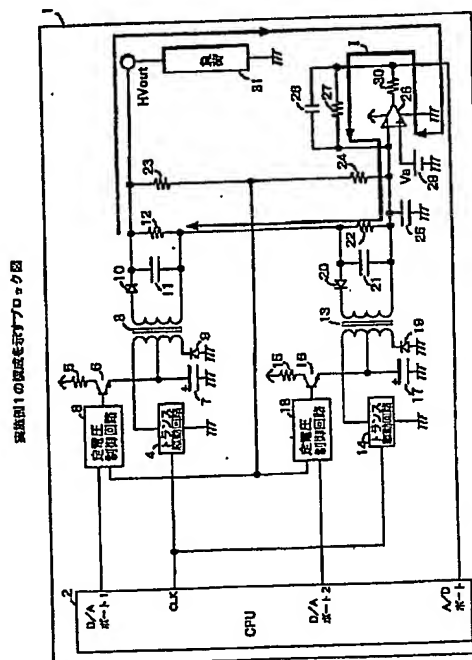
最終頁に続く

(54) 【発明の名称】 高圧電源装置および画像形成装置

(57) 【要約】

【課題】 大きなコストを発生させずに、正出力（プラスバイアス）と負出力（マイナスバイアス）を精度良く出力する高圧電源装置およびこの装置を用いた画像形成装置を提供する。

【解決手段】 出力をフィードバック制御する出力可変の正直流高圧電源部3, 8, 10, 11と、出力をフィードバック制御する出力可変の負直流高圧電源部13, 18, 20, 21とを逆極性に直列接続して高圧電源装置を構成し、その出力端に、前記正直流高圧電源部と前記負直流高圧電源部に共通の出力電圧検出手段23, 24を接続し、この出力電圧検出手段の検出信号により前記正, 負の高圧電源装置をフィードバック制御する。



【特許請求の範囲】

【請求項1】 昇圧トランスと、前記昇圧トランスを駆動する駆動手段と、

前記昇圧トランスにより出力される脈流電圧を整流および平滑して直流出力電圧を生成する整流平滑手段とを有する高圧生成部を複数備え、前記直流出力電圧の印加により負荷に流れる電流を検出する電流検出手段を備える高圧電源装置において、

前記高圧生成部より生成される直流出力電圧を検出する電圧検出手段を前記複数の高圧生成部に対して共通に備えたことを特徴とする高圧電源装置。

【請求項2】 請求項1に記載の高圧電源装置において、

前記複数の高圧生成部同士は直列に接続されていることを特徴とする高圧電源装置。

【請求項3】 請求項1または2に記載の高圧電源装置において、

前記複数の高圧生成部は、正極性の高圧出力を生成する高圧生成部と、負極性の高圧出力を生成する高圧出力生成部とを有することを特徴とする高圧電源装置。

【請求項4】 請求項1ないし3のいずれかに記載の高圧電源装置において、前記電圧検出手段は、前記負荷に印加される電圧を検出することを特徴とする高圧電源装置。

【請求項5】 請求項4に記載の高圧電源装置において、

前記電圧検出手段は、前記高圧生成部より生成される直流出力電圧を複数の抵抗を用いて分圧して検出することを特徴とする高圧電源装置。

【請求項6】 請求項4または5に記載の高圧電源装置において、

前記電圧検出手段は、前記各々の高圧生成部に対して、複数の抵抗による分圧箇所が異なることを特徴とする高圧電源装置。

【請求項7】 請求項1ないし6のいずれかに記載の高圧電源装置において、

前記電流検出手段を、前記複数の高圧生成部に対して共通に有することを特徴とする高圧電源装置。

【請求項8】 請求項7に記載の高圧電源装置において、

前記電流検出手段は、直接接地することなく、前記電圧検出手段と前記電流検出手段との接続部に所定のオフセット電圧を与えることを特徴とする高圧電源装置。

【請求項9】 請求項8に記載の高圧電源装置において、

前記オフセット電圧を、正極性の高圧出力時と、負極性の高圧出力時とで切り換えることを特徴とする高圧電源装置。

【請求項10】 請求項1ないし9のいずれかに記載の高圧電源装置において、

前記電圧検出手段の検出電圧が所定の値になるように制御を行うことを特徴とする高圧電源装置。

【請求項11】 請求項10に記載の高圧電源装置において、

前記電流検出手段の検出値が所定の値となるように、前記電圧検出手段の検出電圧を制御することを特徴とする高圧電源装置。

【請求項12】 請求項1ないし11のいずれかに記載の高圧電源装置において、

前記複数の高圧生成部が同時に動作しないように制御することを特徴とする高圧電源装置。

【請求項13】 請求項1ないし11のいずれかに記載の高圧電源装置において、

前記複数の高圧生成部が同時に動作しないようにする保護手段を有することを特徴とする高圧電源装置。

【請求項14】 出力をフィードバック制御する出力可変の正直流高圧電源部と、出力をフィードバック制御する出力可変の負直流高圧電源部とを逆極性に直列接続した高圧電源装置であって、

当該高圧電源装置の出力端に、前記正直流高圧電源部と前記負直流高圧電源部に共通の出力電圧検出手段を接続したことを特徴とする高圧電源装置。

【請求項15】 請求項14に記載の高圧電源装置において、

前記出力電圧検出手段は抵抗分圧器を有することを特徴とする高圧電源装置。

【請求項16】 請求項15に記載の高圧電源装置において、

当該高圧電源装置の一方の出力端と接地間に当該高圧電源装置の出力電流を検出する電流検出手段を設けたことを特徴とする高圧電源装置。

【請求項17】 請求項1ないし16のいずれかに記載の高圧電源装置を、帯電高圧電源、現像高圧電源、転写高圧電源、定着高圧電源のすくなくとも1つとして備えたことを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像形成装置およびこの装置に用いられる高圧電源装置に関し、特にその出力電圧検出、出力電流検出に関するものである。

【0002】

【従来の技術】電子写真方式を採用する画像形成装置には高圧電源回路が備えられており、紙などに対する画像形成プロセスには欠かせない存在となっている。この高圧電源回路としては、例えば、帯電高圧電源、現像高圧電源、転写高圧電源、定着高圧電源等、各種モジュール化された電源が存在する。これらの各高圧モジュールは、画像形成装置の構成に応じて異なった仕様を有しており、例えば直流電源に交流電源を重ねたものや、直流マイナス電源に直流プラス電源を重ねたもの等様々

に構成されている。また、規定電圧や規定電流、定電流制御方式や定電圧制御方式、単一値出力や多段階値制御出力、負荷条件等についても様々な仕様がある。

【0003】この中でも、様々な条件下において一定の電圧や電流を出力できるように定電圧制御回路や定電流制御回路を用いることは必要不可欠となっている。通常、定電圧制御回路には電圧検出回路が、定電流制御回路には電流検出回路が設けられている。

【0004】一方、定電圧制御回路に電圧検出回路および電流検出回路の双方を設け、電流値を検出しながら定電圧制御を行う場合がある。また、定電圧制御回路に電圧検出回路および電流検出回路の双方を設け、まず初めに電流が一定となるよう制御動作を行い、そのときの出力電圧値を検出し、前記検出電圧値を用いて演算処理を施して定電圧制御動作を行うという手法もある。

【0005】これは、例えば転写バイアスの場合、転写ローラ等の抵抗値は、環境条件、特に湿度によって大きく変化するため、定電圧制御のみでバイアス印加を行うと、転写電流が変動し転写不良が生じやすくなるためである。また、定電流制御のみでバイアス印加を行うと、例えば転写ローラ上を通過する転写材の幅が小さい場合、「転写材の存在しない領域」が「転写材の存在する領域」よりもインピーダンスが低くなるため、「転写材の存在しない領域」に電流が流れ、「転写材の存在する領域」は電流不足により転写不良を生じやすいという問題が発生するためである。

【0006】また、高圧電源回路には、直流マイナス電源に直流プラス電源を重畳する手法がある。これは、例えば転写バイアスの場合、画像形成装置のクリーニング動作時に、転写ローラに付着したトナーを除去するため、通常の転写時に使用するバイアスとは逆極性のバイアスを印加する必要があるためである。

【0007】一方、複数の画像形成部を有する多重転写方式のインライン画像形成装置において、オーバヘッドプロジェクタ用の透明シート（以下OHTシートという）等の高抵抗記録紙にトナー像を転写する場合、記録紙が転写部を通過する毎に記録紙が帯電するため、最終段の画像形成部では、転写バイアスに大きな電圧が必要になることが知られている。前記問題を解決するため、記録紙が第一の画像形成部に到達する前に、記録紙を転写バイアスとは逆極性に帯電させ、第一の画像形成部では従来の転写バイアスよりも低いバイアス、もしくは逆極性の転写バイアスで転写を行うことで、最終段の画像形成部における転写バイアスを低減させることが行われている。

【0008】図10は、プラスバイアスとマイナスバイアスを出力し、電圧検出回路および電流検出回路の双方を設けた定電圧制御方式を採用する、従来の画像形成装置および高圧電源装置のブロック図である（従来例1）。

【0009】図10において、1は画像形成装置、2はCPU、3は高圧トランス、4は前記高圧トランス3をスイッチングするトランス駆動回路、5はヒューズ抵抗、6は高圧トランス3への供給電力を制御するトランジスタ、7は電解コンデンサ、8は定電圧制御回路、9はスナバダイオード、10は高圧ダイオード、11は高圧コンデンサ、12はブリーダ抵抗、101は出力電圧検出用の補助巻線を有する高圧トランス、14は高圧トランス101をスイッチングするトランス駆動回路、15はヒューズ抵抗、16は高圧トランス101への供給電力を制御するトランジスタ、17は電解コンデンサ、18は定電圧制御回路、19はスナバダイオード、102は高圧トランス101の補助巻線により出力電圧を検出する出力電圧検出部、20は高圧ダイオード、21は高圧コンデンサ、22はブリーダ抵抗、23、24は出力電圧検出抵抗、25は交流接地用コンデンサ、26は負荷電流検出用オペアンプ、27は負荷電流検出抵抗、28は位相補償用コンデンサ、29は直流電源、30は電流制限用抵抗、31は負荷である。

【0010】次に、動作を説明する。

【0011】初めに、プラスバイアスの出力動作について説明する。まず、CPU2が所定の周波数/DutyのCLKを出力する。前記CLKはトランス駆動回路4に送られ、トランス駆動回路4は、高圧トランス3をスイッチングする。高圧トランス3は、入力電圧を昇圧し、所定の脈流波形の高圧を発生する。高圧トランス3によって発生した所定の脈流波形の高圧は、高圧ダイオード10および高圧コンデンサ11により整流され、プラス極性の高圧DCバイアスが生成される。次に、CPU2は、所望の高圧出力電圧に対応した電圧を、D/Aポート1から定電圧制御回路8に出力する。一方、出力電圧は検出抵抗23、24の分圧により検出される。定電圧制御回路8は、前記出力検出電圧と、CPU2のD/Aポート1からの電圧値とが等しくなるようにトランジスタ6を制御し、高圧トランス3への入力電圧を制御する。

【0012】CPU2からのCLKは、マイナスバイアスのトランス駆動回路14にも入力され、高圧トランス101がスイッチングされる。しかし、D/Aポート2の出力電圧を、定電圧制御回路18の出力が発生しない値に設定することで、トランス101には電圧を供給せず、高圧トランス101が高圧出力を発生しないようにする。

【0013】次に、負荷電流検出動作について説明する。

【0014】負荷31に流れた負荷電流IのDC成分は、オペアンプ26のグランドから電流制限抵抗30、および負荷電流検出抵抗27、ブリーダ抵抗22を介して高圧トランス3に戻る。オペアンプ26の非反転入力端子には直流電源29により電圧値Vaが入力されてお

り、反転入力端子の電圧値も V_a に制御される。よって、前記負荷電流 I の DC 成分は、検出抵抗 27 の抵抗値を R_{27} とすると、以下の式で電圧変換され、CPU*

$$\text{負荷電流検出電圧} = \text{負荷電流 } I \times R_{27} + V_a \quad (\text{式1})$$

一方、AC 成分は、交流接地用コンデンサ 25 から、ブリーダ抵抗 22 を通り高圧トランス 3 に戻る。

【0016】次に、マイナスバイアスの出力動作について説明する。

【0017】CPU 2 が所定の周波数/Duty の CLK を出力する。前記 CLK はトランス駆動回路 14 に送られ、トランス駆動回路 14 は、高圧トランス 101 をスイッチングする。高圧トランス 101 は、入力電圧を昇圧し、所定の脈流波形の高圧を発生する。高圧トランス 101 によって発生した所定の脈流波形の高圧は、高圧ダイオード 20 および高圧コンデンサ 21 により整流され、マイナス極性の高圧 DC バイアスが生成される。生成された高圧バイアスは、ブリーダ抵抗 12 を介して負荷 31 に印加される。次に、CPU 2 は、所望の高圧出力電圧に対応した電圧を、D/A ポート 2 から定電圧制御回路 18 に出力する。一方、出力電圧は高圧トランス 101 の補助巻線と出力電圧検出部 102 により検出される。定電圧制御回路 18 は、前記検出電圧と、CPU 2 の D/A ポート 2 からの電圧値とが等しくなるようにトランジスタ 16 を制御し、高圧トランス 101 への入力電圧を制御する。

【0018】CPU 2 からの CLK は、プラスバイアスのトランス駆動回路 4 にも入力される。しかし、D/A ポート 1 の出力電圧を、定電圧制御回路 8 の出力が発生しない値に設定することで、トランス 3 には電圧を供給せず、高圧トランス 3 が高圧出力を発生しないようにする。

【0019】図 11 は、プラスバイアスとマイナスバイアスを出力し、電圧検出回路および電流検出回路の双方を設けた定電圧制御方式を採用する、他の画像形成装置および高圧電源のブロック図である（従来例 2）。

【0020】プラスバイアスの出力構成、および負荷電流検出構成は、従来例 1 と同様であるため、同じ符号を付すとともに説明を省略する。13 は高圧トランス、151 は高圧ダイオード、152 は高圧コンデンサ、153~155 は出力電圧検出抵抗である。

【0021】高圧ダイオード 20 と 151、および高圧コンデンサ 21 と 152、抵抗 22 と 153 は同一のものとする。また、抵抗 22 と 153 の抵抗値は、抵抗 12 よりも充分小さいものとし、また、抵抗 24、154、155 の抵抗値は、抵抗 22 と 153 よりも充分小さいものとする。

$$V_o = V_c \times (R_{23} \times R_{\text{負荷}}) / (R_{12} \times R_{23} + R_{12} \times R_{\text{負荷}} + R_{23} \times R_{\text{負荷}}) \quad (\text{式2})$$

（上式において、 R_{**} は、抵抗 $**$ の抵抗値とする、 V_c は高圧コンデンサ 21 の電圧である）

* 2 は A/D ポートを介して負荷電流を検出する。

【0015】

※【0022】次に、マイナスバイアスの出力動作について説明する。CPU 2 が所定の周波数/Duty の CLK を出力する。前記 CLK はトランス駆動回路 14 に送られ、トランス駆動回路 14 は、高圧トランス 13 をスイッチングする。高圧トランス 13 は、入力電圧を昇圧し、所定の脈流波形の高圧を発生する。高圧トランス 13 によって発生した所定の脈流波形の高圧は、高圧ダイオード 20 と高圧コンデンサ 21、および高圧ダイオード 151 と高圧コンデンサ 152 により整流され、マイナス極性の高圧 DC バイアスが生成される。高圧ダイオード 20 と高圧コンデンサ 21 により生成された高圧バイアスは、ブリーダ抵抗 12 を介して負荷 31 に印加される。一方、高圧ダイオード 151 と高圧コンデンサ 152 により生成された高圧バイアスは、出力電圧検出抵抗 153~155 に印加される。次に、CPU 2 は、所望の高圧出力電圧に対応した電圧を、D/A ポート 2 から定電圧制御回路 18 に出力する。一方、出力電圧は出力電圧検出抵抗 153~155 により検出される。定電圧制御回路 18 は、前記検出電圧と、CPU 2 の D/A ポート 2 からの電圧値とが等しくなるようにトランジスタ 16 を制御し、高圧トランス 13 への入力電圧を制御する。

【0023】

【発明が解決しようとする課題】従来例 1 の画像形成装置および高圧電源装置においては、マイナスバイアスの出力電圧を高圧トランス 101 の補助巻線を用いて検出している。しかしながら、前記補助巻線は、他の巻線と磁気的に結合しているだけであるため、出力電圧検出部 102 の検出電圧と、高圧ダイオード 20 と高圧コンデンサ 21 により生成された高圧バイアスとの間には、大きな誤差が発生し、マイナスバイアスを精度良く出力することが困難であった。

【0024】一方、従来例 2 の画像形成装置および高圧電源装置においては、高圧ダイオード 151 と高圧コンデンサ 152、および出力電圧検出抵抗 153~155 により、高圧ダイオード 20 と高圧コンデンサ 21 により生成された高圧バイアスを精度良く検出することが可能となる。しかしながら、負荷 31 に印加される高圧出力 V_o は、以下の式に示す通り負荷 31 の抵抗値に依存するため、やはりマイナスバイアスを精度良く出力することが困難であった。

※【0025】

★マイナスバイアスの出力精度が悪いと、例えば転写バイアスの場合、転写ローラに付着したトナーの除去が不完

全となる場合が発生する。また、OHTシートにトナー像を転写する場合に第一の画像形成部ではマイナス極性の転写バイアスで転写を行うインライン画像形成装置においては、転写不良が発生してしまう。

【0026】本発明は、このような状況のもとでなされたもので、大きなコストを発生させずに、正出力（プラスバイアス）と負出力（マイナスバイアス）を精度良く出力する高圧電源装置およびこの装置を用いた画像形成装置を提供することを目的とするものである。

【0027】

【課題を解決するための手段】前記目的を達成するため、本発明では、高圧電源装置を次の（１）ないし（１６）のとおりに構成し、画像形成装置を次の（１７）のとおりに構成する。

【0028】（１）昇圧トランスと、前記昇圧トランスを駆動する駆動手段と、前記昇圧トランスにより出力される脈流電圧を整流および平滑して直流出力電圧を生成する整流平滑手段とを有する高圧生成部を複数備え、前記直流出力電圧の印加により負荷に流れる電圧を検出する電圧検出手段を備える高圧電源装置において、前記高圧生成部より生成される直流出力電圧を検出する電圧検出手段を前記複数の高圧生成部に対して共通に備えた高圧電源装置。

【0029】（２）前記（１）に記載の高圧電源装置において、前記複数の高圧生成部同士は直列に接続されている高圧電源装置。

【0030】（３）前記（１）または（２）に記載の高圧電源装置において、前記複数の高圧生成部は、正極性の高圧出力を生成する高圧生成部と、負極性の高圧出力を生成する高圧出力生成部とを有する高圧電源装置。

【0031】（４）前記（１）ないし（３）のいずれかに記載の高圧電源装置において、前記電圧検出手段は、前記負荷に印加される電圧を検出する高圧電源装置。

【0032】（５）前記（４）に記載の高圧電源装置において、前記電圧検出手段は、前記高圧生成部より生成される直流出力電圧を複数の抵抗を用いて分圧して検出する高圧電源装置。

【0033】（６）前記（４）または（５）に記載の高圧電源装置において、前記電圧検出手段は、前記各々の高圧生成部に対して、複数の抵抗による分圧箇所が異なる高圧電源装置。

【0034】（７）前記（１）ないし（６）のいずれかに記載の高圧電源装置において、前記電流検出手段を、前記複数の高圧生成部に対して共通に有する高圧電源装置。

【0035】（８）前記（７）に記載の高圧電源装置において、前記電流検出手段は、直接接地することなく、前記電圧検出手段と前記電流検出手段との接続部に所定のオフセット電圧を与える高圧電源装置。

【0036】（９）前記（８）に記載の高圧電源装置に

において、前記オフセット電圧を、正極性の高圧出力時と、負極性の高圧出力時とで切り換える高圧電源装置。

【0037】（１０）前記（１）ないし（９）のいずれかに記載の高圧電源装置において、前記電圧検出手段の検出電圧が所定の値になるように制御を行う高圧電源装置。

【0038】（１１）前記（１０）に記載の高圧電源装置において、前記電流検出手段の検出値が所定の値となるように、前記電圧検出手段の検出電圧を制御する高圧電源装置。

【0039】（１２）前記（１）ないし（１１）のいずれかに記載の高圧電源装置において、前記複数の高圧生成部が同時に動作しないように制御する高圧電源装置。

【0040】（１３）前記（１）ないし（１１）のいずれかに記載の高圧電源装置において、前記複数の高圧生成部が同時に動作しないようにする保護手段を有する高圧電源装置。

【0041】（１４）出力をフィードバック制御する出力可変の正直流高圧電源部と、出力をフィードバック制御する出力可変の負直流高圧電源部とを逆極性に直列接続した高圧電源装置であって、当該高圧電源装置の出力端に、前記正直流高圧電源部と前記負直流高圧電源部に共通の出力電圧検出手段を接続した高圧電源装置。

【0042】（１５）前記（１４）に記載の高圧電源装置において、前記出力電圧検出手段は抵抗分圧器を有する高圧電源装置。

【0043】（１６）前記（１５）に記載の高圧電源装置において、当該高圧電源装置の一方の出力端と接地間に当該高圧電源装置の出力電圧を検出する電流検出手段を設けた高圧電源装置。

【0044】（１７）前記（１）ないし（１６）のいずれかに記載の高圧電源装置を、帯電高圧電源、現像高圧電源、転写高圧電源、定着高圧電源のすくなくとも１つとして備えたことを特徴とする画像形成装置。

【0045】

【発明の実施の形態】以下本発明の実施の形態を画像形成装置の実施例により詳しく説明する。

【0046】

【実施例】（実施例１）図１は、実施例１である“画像形成装置”の構成を示すブロック図である。従来例の図１０で記載済のものは同じ符号を付し、その説明を援用する。

【0047】本実施例では、マイナスバイアスの出力電圧検出を、プラスバイアスと同様に検出抵抗 23 、 24 の分圧で行う。また、高圧コンデンサ 21 は接地せず、オペアンプ 26 のマイナス入力端子に接続する。

【0048】図２にプラスバイアスの出力テーブルを、図３にマイナスバイアスの出力テーブルを示す。ここでは、プラスバイアスの出力範囲を $0V \sim 2kV$ 、マイナスバイアスの出力範囲を $0V \sim -1kV$ とし、CPU 2

のD/Aポート1, 2の出力範囲を0V~5Vとする。

【0049】プラスバイアスとマイナスバイアスをOFFする場合、D/Aポート1は0V、D/Aポート2は5Vを出力する。

【0050】プラスバイアスを出力する場合は、D/Aポート2を5Vとした状態で、D/Aポート1を図2のテーブルに従い、所望の出力電圧に相当する電圧を出力する。マイナスバイアスを出力する場合は、D/Aポート1を0Vとした状態で、D/Aポート2を図3のテーブルに従い、所望の出力電圧に相当する電圧を出力する。

【0051】本実施例においても、プラスバイアスを印加した場合の負荷電流は、従来例1と同様に検出可能となる。

【0052】また、そればかりでなく、マイナスバイアスを印加した場合の負荷電流も、流れる方向は反対になるものの、プラスバイアスを印加した場合と同じ経路を通るため、プラスバイアスと同様に、オペアンプ26と電流検出抵抗27とで検出可能となる。

【0053】負荷電流検出電圧は、従来例1で記載した式1と同じである。ただし、負荷電流Iはマイナスの値となる。

【0054】以上説明したように、本実施例によれば、電流検出精度を犠牲にすることなく、また大きなコストを発生させずに、プラスバイアスとマイナスバイアスを精度良く出力することができる。

【0055】なお、本実施例では、後述するように、プラスバイアスとマイナスバイアスが同時に出力する可能性があるため、これを阻止するソフトウェア的、もしくは電圧クランプ回路等のハードウェア的な保護手段が必要となる。

【0056】(実施例2) 実施例1では、プラスバイアスを出力する場合、D/Aポート2を5Vとした状態で、D/Aポート1を可変出力していた。しかしながら、D/Aポート1の出力電圧を5Vにした場合、検出抵抗23, 24で検出した出力電圧検出値も5Vとなり、マイナスバイアスの定電圧制御回路18にはD/Aポート2からと同じ出力電圧検出値5Vが入力される。その結果、定電圧制御回路18が電圧を出力し、高圧トランス13がマイナスバイアスを出力してしまう。

【0057】同様に、マイナスバイアスを出力する場合、D/Aポート1を0Vとした状態で、D/Aポート2を可変出力していた。しかしながら、D/Aポート2の出力電圧を0Vにした場合、検出抵抗23, 24で検出した出力電圧検出値も0Vとなり、プラスバイアスの定電圧制御回路8にはD/Aポート1からと同じ出力電圧検出値0Vが入力される。その結果、定電圧制御回路8が電圧を出力し、高圧トランス3がプラスバイアスを出力してしまう。

【0058】よって、D/Aポート1の出力値が5Vに

ならないように、ソフトウェア的、もしくは電圧クランプ回路等のハードウェア的な保護手段が必要となる。同様に、D/Aポート2に対しても、出力値が0Vにならないような保護手段が必要となる。

【0059】実施例2である“画像形成装置”の構成を示すブロック図を図4に示す。実施例1の図1で記載済みのものは同じ符号を付し、その説明を援用する。

【0060】本実施例では、検出抵抗23と24の間に、検出抵抗51を挿入し、抵抗51と抵抗24の共通接続点の電圧をプラスバイアスの定電圧制御回路8に入力し、抵抗23と抵抗51の共通接続点の電圧をマイナスバイアスの定電圧制御回路18に入力する構成とする。

【0061】図5にプラスバイアスの出力電圧テーブルを、図6にマイナスバイアスの出力電圧テーブルを示す。図5における破線は、図6のテーブルを延長した線であり、D/Aポート1がVb+を出力した場合、高圧出力電圧は1kVとなり、そのとき定電圧制御回路18に入力される出力電圧検出値はVb+になることを示している。

【0062】一方、図6における破線は、図5のテーブルを延長した線であり、D/Aポート2がVc-を出力した場合、高圧出力電圧は-0.5kVとなり、そのとき定電圧制御回路8に入力される出力電圧検出値はVc+になることを示している。

【0063】本実施例の構成とすることにより、マイナスバイアスを-1kV出力する場合でも(D/Aポート2が0Vを出力)、プラスバイアスの定電圧制御部8に入力される出力電圧検出値はVd+(0V<Vd+)となり、定電圧制御部8は確実にOFFとなる。よって、D/Aポート1に対しては出力電圧が5Vにならないようにソフトウェア的もしくはハードウェア的な保護手段が必要となるものの、D/Aポート2に対しては出力電圧が0Vにならないような保護手段を設けなくても、プラスバイアスが発生することがなくなり、ハードウェア的な保護手段を設ける場合はコストダウンとなる。

【0064】(実施例3) 実施例1および実施例2では、負荷電流検出用オペアンプ26の非反転入力端子には、直流電源29により、電圧値Vaの固定値が入力されていた。

【0065】本実施例では、オペアンプ26の非反転入力端子への入力電圧を可変可能な構成とする。

【0066】図7は実施例3である“画像形成装置”の構成を示すブロック図である。実施例1の図1で記載済みのものは同じ符号を付し、その説明を援用する。71~73は抵抗、74はトランジスタである。

【0067】抵抗71~73の抵抗値は、トランジスタ74をOFFさせた場合には、オペアンプ26の非反転入力端子に電圧値Va1が入力され、トランジスタ74をONさせた場合には、オペアンプ26の非反転入力端

子に電圧値 V_{a2} ($V_{a1} < V_{a2}$) が入力される定数とする。

【0068】プラスバイアス出力時は、CPU2のI/Oポートの出力をHレベルにし、トランジスタ74をOFFさせ、オペアンプ26の非反転入力端子に電圧値 V_{a1} を入力する。一方、マイナスバイアス出力時は、CPU2のI/Oポートの出力をLレベルにし、トランジスタ74をONさせ、オペアンプ26の非反転入力端子に電圧値 V_{a2} を入力する。

【0069】図8にプラスバイアスの出力テーブルを、図9にマイナスバイアスの出力テーブルを示す。

【0070】本実施例の構成とすることで、マイナスバイアスは -2kV まで出力可能となり、実施例1および2と比較し、マイナスバイアスの出力可変範囲を広くすることが可能となる。

【0071】

【発明の効果】以上説明したように、本発明によれば、正出力（プラスバイアス）と負出力（マイナスバイアス）を出力し、電圧検出回路を設けた電圧制御方式を採用する画像形成装置および高圧電源装置において、大きなコストを発生させずに、正出力と負出力を精度良く出力することができる。

【0072】また、正出力と負出力の双方において、精

度良く出力（負荷）電流を検出することができる。

【図面の簡単な説明】

【図1】 実施例1の構成を示すブロック図

【図2】 プラスバイアスの出力テーブル

【図3】 マイナスバイアスの出力テーブル

【図4】 実施例2の構成を示すブロック図

【図5】 プラスバイアスの出力テーブル

【図6】 マイナスバイアスの出力テーブル

【図7】 実施例3の構成を示すブロック図

【図8】 プラスバイアスの出力テーブル

【図9】 マイナスバイアスの出力テーブル

【図10】 従来例1の構成を示すブロック図

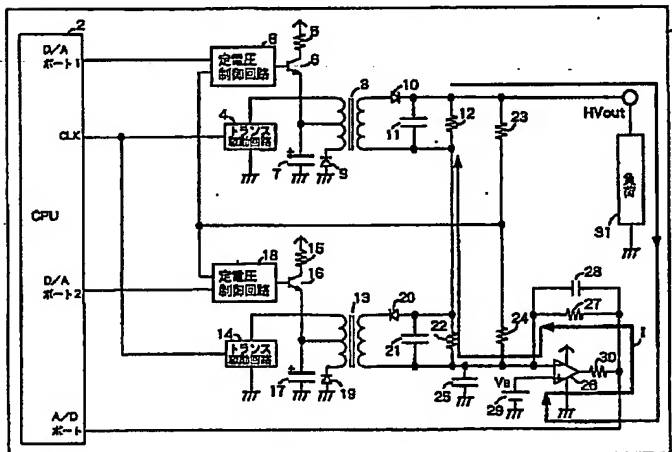
【図11】 従来例2の構成を示すブロック図

【符号の説明】

- 1 画像形成装置
- 2 CPU
- 3 高圧トランス
- 8 定電圧制御回路
- 13 高圧トランス
- 18 定電圧制御回路
- 23 出力電圧検出抵抗
- 24 出力電圧検出抵抗

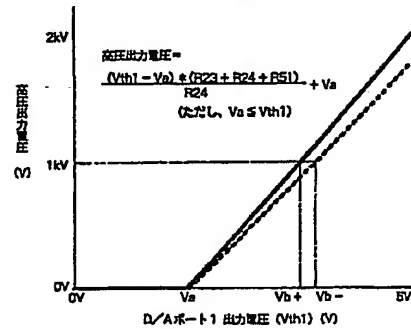
【図1】

実施例1の構成を示すブロック図

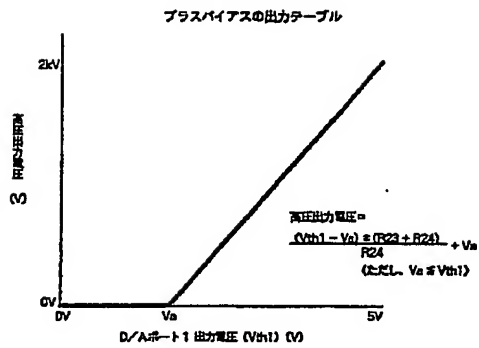


【図5】

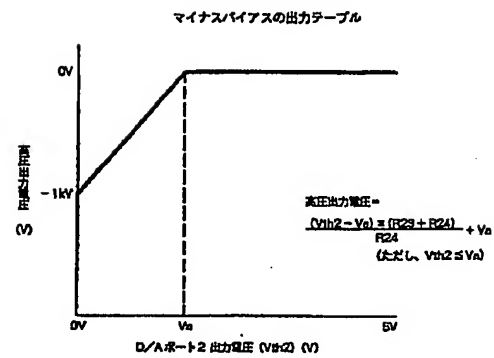
プラスバイアスの出力テーブル



【図2】

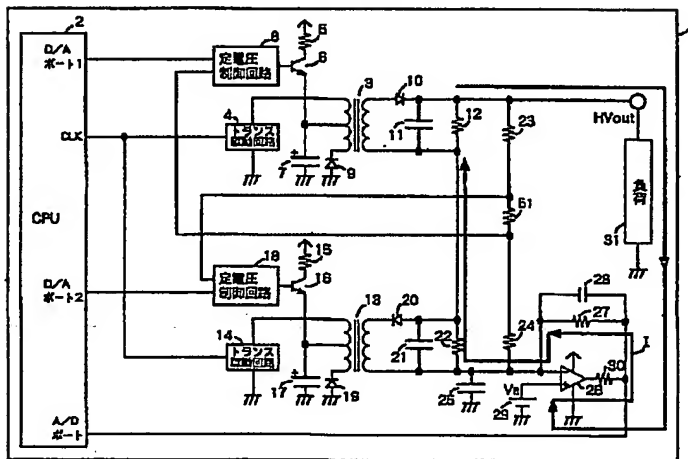


【図3】

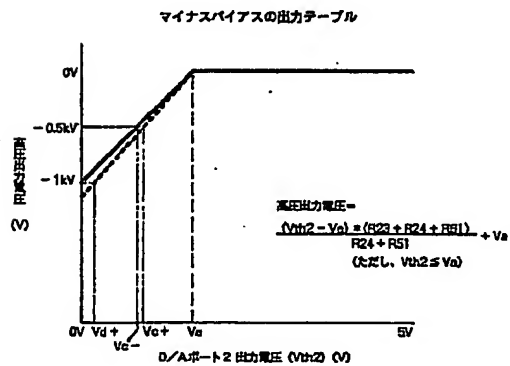


【図4】

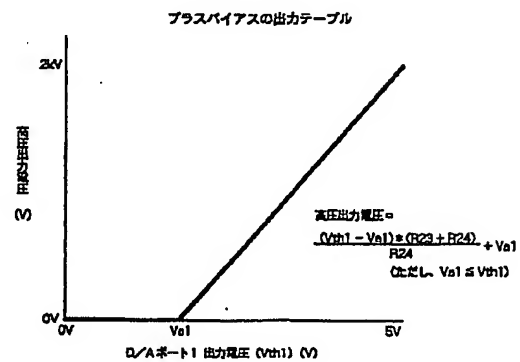
実施例2の構成を示すブロック図



【図6】

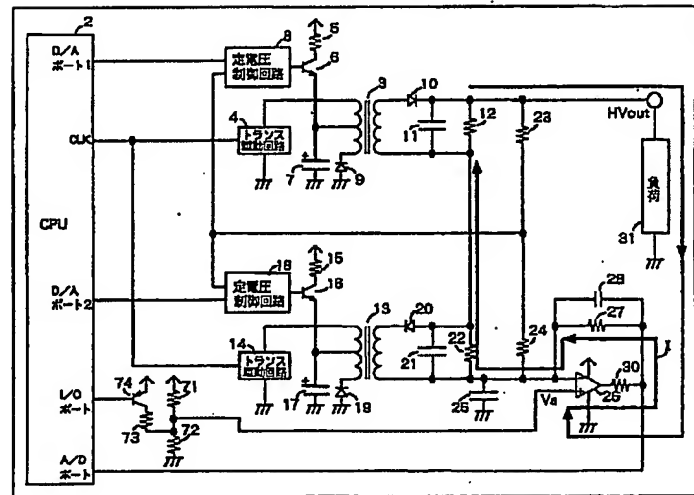


【図8】



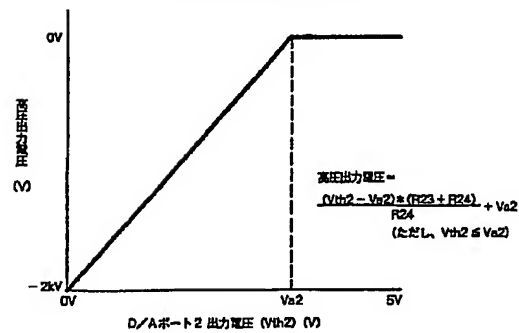
【図7】

実施例3の構成を示すブロック図



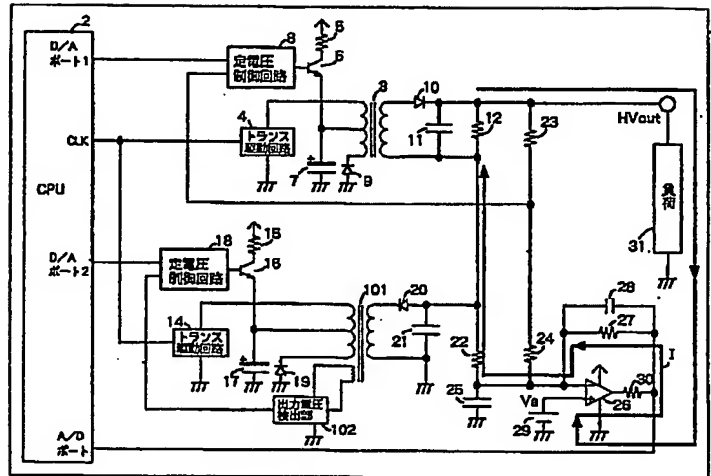
【図9】

マイナスバイアスの出力テーブル



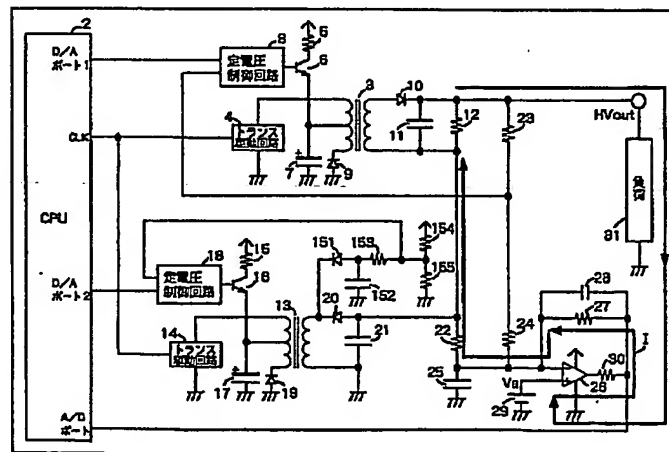
【図10】

従来例1の構成を示すブロック図



【図11】

従来例2の構成を示すブロック図



フロントページの続き

Fターム(参考) 2H027 DA01 DA03 ZA01
 2H200 HA29 HA30 JB48 JB49 NA02
 NA14 NA15 NA17 NA18 NA23
 NA25 PA03 PB02 PB05
 5H730 AS04 BB23 BB82 DD02 EE59
 FD01 FD31 FF09